

(18)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003018614 A

(43) Date of publication of application: 17.01.03

(51) Int. Cl. H04N 9/66

(21) Application number: 2001197248

(22) Date of filing: 28.06.01

(71) Applicant: SONY CORP

(72) Inventor: KUMAZAWA NAOKI

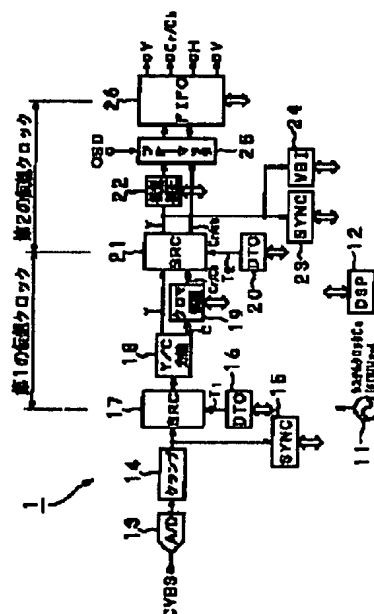
(54) PICTURE SIGNAL PROCESSOR

(57) Abstract

PROBLEM TO BE SOLVED: To provide a digital chroma decoder corresponding to a plurality of broadcasting systems.

SOLUTION: A chroma decoder 1 down-converts a composite video signal that is sampled at a system clock Cs to a sampling rate (14 MHz) of an NTSC signal by an SRC 17. The output of the SRC 17 is outputted in synchronization with the system clock Cs, and then chroma decode processing is made after Y/C separation processing. Then, the sampling rate brightness signal of the NTSC signal and a color difference signal are down-converted to a sampling rate (13.5 MHz) in an ITU-R601 by an SRC 21.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-18614

(P2003-18614A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.

H 0 4 N 9/66

識別記号

F I

H 0 4 N 9/66

テーマコード(参考)

C 5 C 0 6 6

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2001-197246(P2001-197246)

(22) 出願日 平成13年6月28日 (2001.6.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 熊沢 直樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

Fターム(参考) 5C066 AAO3 BA02 BA03 BA05 CA02

DB07 DD06 GA01 GA02 GA04

GA20 GB01 HA02 KB05 KE02

KE03 KE04 KE09 KE11 KE19

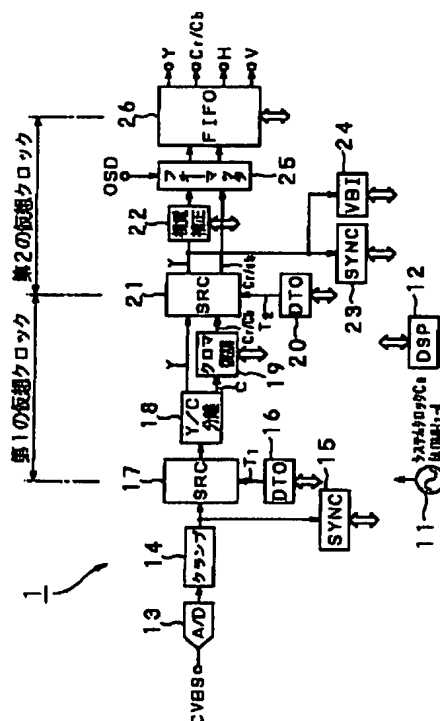
KF03

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 複数の放送方式に対応したデジタルクロマデコードを提供する。

【解決手段】 クロマデコード1は、システムクロックCsでサンプリングされたコンポジット映像信号を、SRC17でNTSC信号のサンプリングレート(14.3MHz)にダウンコンバートする。SRC17の出力は、システムクロックCsに同期して出力され、その後、Y/C分離処理、クロマデコード処理を行う。続いて、NTSC信号のサンプリングレート輝度信号及び色差信号を、SRC21でITU-R601のサンプリングレート(13.5MHz)にダウンコンバートする。



【特許請求の範囲】

【請求項1】 コンポジット映像信号をデジタルのコンポーネント映像信号に変換する映像信号処理装置において、

所定の周波数のシステムクロックでサンプリングされたコンポジット映像信号のサンプリングポイントから、第1の仮想クロックのタイミングに対応したサンプリングポイントを抽出し、抽出したサンプリングポイントに同期した第1のタイミング信号を生成する第1のタイミング信号生成手段と、

上記システムクロックでサンプリングされたコンポジット映像信号の各サンプリングポイントの信号レベルから、上記第1の仮想クロックのサンプリングポイントにおける信号レベルを補間して、第1の仮想クロックでサンプリングされたコンポジット映像信号を生成し、この第1の仮想クロックでサンプリングされたコンポジット映像信号を上記第1のタイミング信号に同期させて出力する第1の補間手段と、

上記第1の仮想クロックでサンプリングされたコンポジット映像信号を、第1の仮想クロックでサンプリングされた輝度信号と第1の仮想クロックでサンプリングされた搬送色差信号とに分離するY/C分離手段と、

上記第1の仮想クロックでサンプリングされた搬送色差信号を復調して、第1の仮想クロックでサンプリングされた色差信号を生成するクロマデコード手段と、

上記第1のタイミング信号のサンプリングポイント中から、第2の仮想クロックのタイミングに対応したサンプリングポイントを抽出し、抽出したサンプリングポイントに同期した第2のタイミング信号を生成する第2のタイミング信号生成手段と、

上記第1の仮想クロックでサンプリングされた輝度信号及び色差信号の各サンプリングポイントの信号レベルから、上記第2の仮想クロックのサンプリングポイントにおける信号レベルを補間して、第2の仮想クロックでサンプリングされた輝度信号及び色差信号を生成し、この第2の仮想クロックでサンプリングされた輝度信号及び色差信号を上記第2のタイミング信号に同期させて出力する第2の補間手段と、

入力されたコンポジット映像信号の種類に応じて、上記第1の仮想クロックの設定を変更する設定変更手段とを備える映像信号処理装置。

【請求項2】 アナログのコンポジット映像信号を上記システムクロックでサンプリングしたデジタルのコンポジット映像信号に変換するアナログ/デジタル変換手段を備えることを特徴とする請求項1記載の映像信号処理装置。

【請求項3】 上記システムクロックは、第1の仮想クロック以上の周波数であることを特徴とする請求項1記載の映像信号処理装置。

【請求項4】 上記設定変更手段は、NTSC方式又は

PAL方式のコンポジット映像信号が入力された場合には、第1の仮想クロックの周波数を、搬送色差信号の搬送波周波数の4倍の逡倍とし、SECAM方式のコンポジット映像信号が入力された場合には、第1の仮想クロックの周波数をベルフィルタの中心周波数の逡倍とすることを特徴とする請求項1記載の映像信号処理装置。

【請求項5】 上記第2の仮想クロックの周波数は、ITU-R 601勧告に基づくデジタル信号規格のサンプリングクロックであることを特徴とする請求項1記載の映像信号処理装置。

【請求項6】 上記第2の仮想クロックでサンプリングされた輝度信号及び色差信号とが上記第2のタイミング信号に同期して入力され、入力された輝度信号及び色差信号が上記第2の仮想クロックと同期した出力クロックで読み出されるスムージング手段を備えることを特徴とする請求項1記載の映像信号処理装置。

【請求項7】 上記第1の補間手段は、所定のタップ数のFIRフィルタにより構成され、

上記FIRフィルタのタップ係数が、上記第1の仮想クロックと上記第1のタイミング信号との位相差に応じて制御されることを特徴とする請求項1記載の映像信号処理装置。

【請求項8】 上記タップ係数は、時間分インパルス応答を上記位相差に対応した時間遅延させた値に設定されることを特徴とする請求項7記載の映像信号処理装置。

【請求項9】 上記第2の補間手段は、所定のタップ数のFIRフィルタにより構成され、

上記FIRフィルタのタップ係数が、上記第2の仮想クロックと上記第1の仮想クロックとの位相差に応じて制御されることを特徴とする請求項1記載の映像信号処理装置。

【請求項10】 上記タップ係数は、時間分インパルス応答を上記位相差に対応した時間遅延させた値に設定されることを特徴とする請求項9記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンポジット映像信号をデジタルのコンポーネント映像信号に変換するいわゆるクロマデコード処理を行う映像信号処理装置であって、特に、NTSC, PAL, SECAM等の複数の放送方式に対応可能な映像信号処理装置に関するものである。

【0002】

【従来の技術】放送されたコンポジット映像信号を受信して映像出力を行う場合、輝度信号(Y)及び色差信号(Cb, Cr)に分離してコンポーネント映像信号を出力するクロマデコード処理が行われる。そして、このクロマデコード処理が行われた後にRGBへのマトリクス変換やMPEG符号化処理などが行われる。また、近

10

20

30

40

50

年においては、このようなクロマデコード処理をデジタル回路で行って、デジタルフォーマットのコンポーネント映像信号を出力するデジタルクロマデコード処理も行われている。

【0003】

【発明が解決しようとする課題】ところで、テレビジョン放送の放送方式には、大きく分けて、NTSC方式（日本、北米等）、PAL方式（フランスを除くヨーロッパ、南米等）、SECAM方式（フランス、ロシア等）の3つの方式がある。

【0004】複数の放送方式に対応させたマルチタイプのデジタルクロマデコードを作成する場合、各方式毎に色差信号の搬送波周波数や変調方式が違うことから、それぞれの周波数に対応したサンプリングクロックを基板上に実装しなければならない。加えて、出力するデジタルコンポーネント信号の標準規格であるITU-R 601は、13.5MHzのサンプリング周波数が規定されている。このため、マルチタイプのデジタルクロマデコードを作成する場合、少なくとも4種類のシステムクロックが必要となってしまう。

【0005】しかしながら、複数のシステムクロックを1つの基板上や1つの半導体チップ上に実装した場合、クロック間相互で干渉が発生し、その干渉信号が例えばA/Dコンバータのアナログ入力に回り込み、その結果、画面上にビート上のノイズが発生してしまう。そのため、例えば1つの基板や1つの半導体チップ上にマルチタイプのデジタルクロマデコードを作成することは、以上のようなシステムクロックの制約により非常に困難であった。

【0006】本発明は、このような実情を鑑みてなされたものであり、複数のテレビジョン方式を取り扱う際に必要となる複数のシステムクロックに対する制約を取り除き、1つの基板に実装したり、1つのチップ上に集積化することを可能とした、複数の放送方式に対応したいわゆるクロマデコード処理を行う映像信号処理装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明にかかる映像信号処理装置は、コンポジット映像信号をデジタルのコンポーネント映像信号に変換する映像信号処理装置であって、所定の周波数のシステムクロックでサンプリングされたコンポジット映像信号のサンプリングポイントから、第1の仮想クロックのタイミングに対応したサンプリングポイントを抽出し、抽出したサンプリングポイントに同期した第1のタイミング信号を生成する第1のタイミング信号生成手段と、上記システムクロックでサンプリングされたコンポジット映像信号の各サンプリングポイントの信号レベルから、上記第1の仮想クロックのサンプリングポイントにおける信号レベルを補間して、第1の仮想クロックでサンプリングされたコンポジット

映像信号を生成し、この第1の仮想クロックでサンプリングされたコンポジット映像信号を上記第1のタイミング信号に同期させて出力する第1の補間手段と、上記第1の仮想クロックでサンプリングされたコンポジット映像信号を、第1の仮想クロックでサンプリングされた輝度信号と第1の仮想クロックでサンプリングされた搬送色差信号とに分離するY/C分離手段と、上記第1の仮想クロックでサンプリングされた搬送色差信号を復調して、第1の仮想クロックでサンプリングされた色差信号を生成するクロマデコード手段と、上記第1のタイミング信号のサンプリングポイント中から、第2の仮想クロックのタイミングに対応したサンプリングポイントを抽出し、抽出したサンプリングポイントに同期した第2のタイミング信号を生成する第2のタイミング信号生成手段と、上記第1の仮想クロックでサンプリングされた輝度信号及び色差信号の各サンプリングポイントの信号レベルから、上記第2の仮想クロックのサンプリングポイントにおける信号レベルを補間して、第2の仮想クロックでサンプリングされた輝度信号及び色差信号を生成し、この第2の仮想クロックでサンプリングされた輝度信号及び色差信号を上記第2のタイミング信号に同期させて出力する第2の補間手段と、入力されたコンポジット映像信号の種類に応じて、上記第1の仮想クロックの設定を変更する設定変更手段とを備える。

【0008】この映像信号処理装置では、任意の1つのシステムクロックに同期させたタイミング信号を生成し、任意の周波数のシステムクロックでサンプリングされた映像信号を仮想クロックにサンプリングレート変換し、その結果を上記タイミング信号に同期させて出力する。このようにすることによって、Y/C分離処理、クロマデコード処理、出力信号タイミングへの周波数変換処理を、1つのシステムクロックのみで行えるようになる。

【0009】また、上記タイミング信号は、その周期をある一定時間範囲内で平均化したときに仮想クロックの周期と一致させるようにしておき、さらに、補間して得られる信号自体は本来の放送信号又は出力信号のクロックでサンプリングしたときの値としているので、タイミング信号自体が仮想クロックと完全には同期しなくても、デジタル処理上なら不都合なく処理を行うことができる。

【0010】また、システムクロックからタイミング信号を生成する際の各種パラメータを放送方式に応じて適宜設定することにより、複数の放送方式に対応することが可能となる。

【0011】さらに、補間処理をする際のタップ係数を、タイミング信号と仮想クロックとの位相差に基づき変化させることにより、容易に補間処理を行うことができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態として、本発明を適用したクロマデコーダについて説明をする。

【0013】本実施の形態のクロマデコーダは、コンポジット映像信号を輝度信号及び色差信号に分離し、分離した輝度信号及び色差信号を、サンプリングクロックが 13.5MHz の ITU-R 601 勧告に基づくデジタル信号規格の映像信号にして出力する装置である。入力されるコンポジット映像信号は、NTSC方式、PAL方式、SECAM方式のいずれの方式にも対応している。

【0014】図 1 に本発明の実施の形態のクロマデコーダ 1 のブロック図を示す。

【0015】クロマデコーダ 1 は、システムクロック発振器 11 と、デジタルシグナルプロセッサ (DSP) 12 と、アナログ/デジタルコンバータ (A/D コンバータ) 13 と、クランプ回路 14 と、同期検出回路 (SYNC 回路) 15 と、第 1 のタイミング発振器 (DTO) 16 と、第 1 のサンプリングレートコンバータ (SRC) 17 と、輝度/クロマ分離回路 (Y/C 分離回路) 18 と、クロマ復調回路 19 と、第 2 のタイミング発振器 (DTO) 20 と、第 2 のサンプリングレートコンバータ (SRC) 21 と、視覚補正回路 22 と、同期検出回路 (SYNC 回路) 23 と、VBI 検出回路 24 と、フォーマッタ 25 と、ファーストイン/ファーストアウトメモリ (FIFO) 26 とを備えている。

【0016】システムクロック発振器 11 は、システムクロック C_s を発生し、本クロマデコーダ 1 内の各回路に供給する。本クロマデコーダ 1 内の各回路は、このシステムクロック C_s に基づき動作する。このシステムクロック C_s の周波数は、NTSC の色搬送波周波数 f_{sc} の 4 倍 (14.3MHz)、PAL の色搬送波周波数 f_{sc} の 4 倍 (17.8MHz)、SECAM のベルフィルタの中心周波数の 4 倍 ($4.286\text{MHz} \times 4 = 17.14\text{MHz}$) を基準として、これらの周波数の 2 倍以上の周波数に設定するのが好ましい。ここでは、例えば、システムクロック C_s の周波数は、40MHz とする。

【0017】DSP 12 は、本クロマデコーダ 1 内の各回路の制御を行う。

【0018】A/D コンバータ 13 には、外部から供給されたアナログのコンポジット映像信号 (CVBS) が入力される。A/D コンバータ 11 は、入力されたコンポジット映像信号をシステムクロック C_s でサンプリングして、デジタルデータに変換する。

【0019】クランプ回路 14 は、入力されたコンポジット映像信号のペダスタルレベルが一定となるように、クランプ処理を行う。

【0020】SYNC 回路 15 は、入力されたコンポジット映像信号から同期信号を抽出して、垂直同期タイミ

ング、水平同期タイミングを検出する。同期タイミングは、DSP 12 に供給される。

【0021】以上のように、クランプ処理がされ、さらに、システムクロック C_s でサンプリングされたデジタルのコンポジット映像信号は、第 1 の SRC 17 に供給される。

【0022】第 1 の DTO 16 は、第 1 のタイミング信号 T_1 を生成し、生成した第 1 のタイミング信号 T_1 を第 1 の SRC 17 に供給する。第 1 のタイミング信号 T_1 は、システムクロック C_s に同期した信号で、且つ、パルス発生周期を平均化したときに第 1 の仮想クロック C_v1 の周期に一致する信号である。

【0023】ここで、第 1 の仮想クロック C_v1 は、コンポジット映像信号からデジタル処理で輝度/色差分離をし、そののちデジタル処理でクロマ復調をするために必要となるサンプリングクロックである。この第 1 の仮想クロック C_v1 は、NTSC 信号の場合には色搬送波周波数 f_{sc} の 4 倍 (14.3MHz) の周波数のクロック、PAL 信号の場合には色搬送波周波数 f_{sc} の 4 倍 (17.8MHz) の周波数のクロック、SECAM 信号が入力された場合にはベルフィルタの中心周波数の 4 倍 (17.14MHz) のクロックである。

【0024】このような第 1 の仮想クロック C_v1 に対して、第 1 のタイミング信号 T_1 は、システムクロック C_s と同期した信号である。第 1 の仮想クロック C_v1 とシステムクロック C_s とはなんら通倍関係がない。そのため、第 1 の仮想クロック C_v1 と第 1 のタイミング信号 T_1 との間も、同期していない。従って、第 1 のタイミング信号 T_1 は、パルス発生周期を平均化したときには第 1 の仮想クロック C_v1 の周期に一致するが、つまり、長期的にサンプリング周波数を平均化すれば第 1 の仮想クロック C_v1 の周波数に一致するが、各々のサンプリング間隔をみれば周期が一定でない不揃いな信号となる。

【0025】DSP 12 は、入力されたコンポジット映像信号に対して信号の判断処理を行い、判断した信号方式に応じて適宜第 1 の仮想クロック C_v1 を設定し、第 1 の DTO 16 をコントロールする。第 1 の DTO 16 は、DSP 12 により設定された第 1 の仮想クロック C_v1 の周波数に基づき、第 1 のタイミング信号 T_1 を生成する。

【0026】なお、システムクロック C_s の周波数が十分高ければ、第 1 の仮想クロック C_v1 の周波数は、以上の周波数の通倍であってもよい。もっとも、第 1 の仮想クロック C_v1 の周波数は、第 1 の SRC 17 において行われるレート変換の精度を保つため、システムクロック C_s の $1/2$ 以下の周波数となるような範囲で設定するのが望ましい。

【0027】第 1 の SRC 17 は、アナログのコンポジット映像信号を第 1 の仮想クロック C_v1 でサンプリン

グした場合における各サンプリングポイントの各信号レベルを、システムクロック C_s でサンプリングされたコンポジット映像信号の各サンプリングポイントの信号レベルから補間することにより求める。すなわち、第1のSRC17は、コンポジット映像信号のサンプリングレートを、システムクロック C_s から第1の仮想クロック C_v1 へ変換する、いわゆるサンプリングレート変換をする。そして、第1のSRC17は、レート変換を行った後の各サンプル信号を、第1のDTO16により生成された第1のタイミング信号 $T1$ に同期させて出力する。

【0028】従って、第1のSRC17からは、データそのものは第1の仮想クロック C_v1 のタイミングでサンプリングされた値の信号であるが、その出力タイミングがシステムクロック C_s に同期した、サンプル周期が一定ではない不揃いの状態のコンポジット映像信号が出力される。

【0029】第1の仮想クロック C_v1 へサンプリングレート変換がされたコンポジット映像信号は、Y/C分離回路18に供給される。

【0030】Y/C分離回路18は、第1の仮想クロック C_v1 でサンプリングされたコンポジット映像信号を、輝度信号Yと搬送色差信号C（色搬送波に変調された状態の色差信号）とに分離する。このY/C分離回路18は、コンポジット映像信号のサンプリングレートが第1の仮想クロック C_v1 となっていることにより、デジタル的に合理的に処理することができる。この輝度信号Yは、第2のSRC21に供給される。また、分離された搬送色差信号Cは、クロマ復調回路19に供給される。

【0031】クロマ復調回路19は、第1の仮想クロック C_v1 でサンプリングされた搬送色差信号Cから色差信号（ C_r/C_b ）を復調する。復調方式は信号方式によって異なるので、DSP12によりその復調方式が選択される。このクロマ復調回路19は、搬送色差信号Cのサンプリングレートが第1の仮想クロック C_v1 となっていることにより、デジタル的に合理的に処理することができる。復調された色差信号（ C_r/C_b ）は第2のSRC21に供給される。

【0032】なお、Y/C分離回路18及びクロマ復調回路19には、データサンプルが周期的に不揃いな状態で入力されるが、デジタル処理を行うので、問題なく処理を行うことができる。

【0033】第2のDTO20は、第2のタイミング信号 $T2$ を生成し、生成した第2のタイミング信号 $T2$ を第2のSRC21に供給する。第2のタイミング信号 $T2$ は、第1のタイミング信号 $T1$ に同期した信号で、且つ、パルス発生周期を平均化したときに第2の仮想クロック C_v2 の周期に一致する信号である。

【0034】ここで、第2の仮想クロック C_v2 は、本

クロマデコーダ1から出力されるコンポーネント映像出力の出力クロックである。つまり、第2の仮想クロックは、ITU-R601勧告に基づくデジタル信号規格の13.5MHzのクロックである。

【0035】このような第2の仮想クロック C_v2 に対して、第2のタイミング信号 $T2$ は、第1のタイミング信号 $T1$ に同期した信号、つまり、システムクロック C_s に同期した信号である。第2の仮想クロック C_v2 とシステムクロック C_s とはなんら逡倍関係がない。そのため、第2の仮想クロック C_v2 と第2のタイミング信号 $T2$ との間も、同期していない。従って、第2のタイミング信号 $T2$ は、パルス発生周期を平均化したときには第2の仮想クロック C_v2 の周期に一致するが、つまり、長期的にサンプリング周波数を平均化すれば第2の仮想クロック C_v2 の周波数に一致するが、各々のサンプリング間隔をみれば周期が一定でない不揃いな信号となる。

【0036】第2のDTO20は、第2の仮想クロック C_v2 の周波数に基づき、第2のタイミング信号 $T2$ を生成する。

【0037】第2のSRC21は、アナログの輝度信号Y及び色差信号（ C_r/C_b ）を第2の仮想クロック C_v2 でサンプリングした場合における各サンプリングポイントの各信号レベルを、第1の仮想クロック C_v1 でサンプリングされた輝度信号Y及び色差信号（ C_r/C_b ）の各サンプリングポイントの信号レベルから補間することにより求める。すなわち、第2のSRC21は、コンポジット映像信号のサンプリングレートを、第1の仮想クロック C_v1 から第2の仮想クロック C_v2 へ変換する、いわゆるサンプリングレート変換をする。そして、第2のSRC21は、レート変換を行った後の各サンプル信号を、第2のDTO20により生成された第2のタイミング信号 $T2$ に同期させて出力する。

【0038】従って、第2のSRC21からは、データそのものは第2の仮想クロック C_v2 のタイミングでサンプリングされた値の信号であるが、その出力タイミングがシステムクロック C_s に同期した、サンプル周期が一定ではない不揃いの状態のコンポジット映像信号が出力される。

【0039】第2の仮想クロック C_v2 へサンプリングレート変換がされた輝度信号Yは、視覚補正回路22に供給される。また、第2の仮想クロック C_v2 へサンプリングレート変換がされた色差信号（ C_r/C_b ）はフォーマッタ25へ供給される。

【0040】視覚補正回路22は、入力された輝度信号Yに対して階調補正を行って視覚補正を行う。視覚補正がされた輝度信号Yは、フォーマッタ25に供給される。

【0041】SYNC回路23は、輝度信号Y成分から垂直同期信号（V）及び水平同期信号（H）を検出し、

その同期タイミングをDSP12に通知する。

【0042】VBI検出回路24は、ブランキング期間に含まれているVBI (Virtual Blanking Information) を検出して、その内容をDSP12に通知する。

【0043】フォーマッタ25は、入力された輝度信号Y及び色差信号(Cr/Cb)に、外部から入力されるOSD (On Screen Display) 信号を合成する。フォーマッタ25から出力された輝度信号Y及び色差信号(Cr/Cb)は、FIFO26に供給される。

【0044】FIFO26は、第2のタイミング信号T2に同期して周期が不揃いな状態で入力される輝度信号Y及び色差信号(Cr/Cb)を一旦記憶し、例えば外部から入力される13.5MHzのクロックタイミングで読み出し、スムージングした状態でデータを出力する。

【0045】つぎに、上述した第1のDTO16について詳細に説明をする。

【0046】図2に、第1のDTO16の回路構成図を示す。

【0047】DTO16は、第1のアダー回路31と、第2のアダー回路32と、遅延素子33とから構成されている。このDTO16を構成する各回路は、システムクロックCsのタイミングで動作をする。

【0048】第1のアダー回路31には、オフセット量Aと、微調整量Bとが入力される。このオフセット量A及び微調整量Bは、DSP12から供給される。第1のアダー回路31は、オフセット量Aと微調整量Bとを加算して、傾き値(A+B)を出力する。

【0049】第2のアダー回路32には、傾き値(A+B)と、遅延素子33が格納している前サンプルにおける加算値Yとが入力される。第2のアダー回路32は、傾き値(A+B)と前サンプル加算値Yとを加算して、現サンプル加算値((A+B)+Y)を出力する。この現サンプル加算値((A+B)+Y)は、遅延素子33に格納され、次のクロックタイミングで、遅延素子33から第2のアダー回路32に前サンプル加算値Yとしてフィードバックされる。すなわち、第2のアダー回路32と遅延素子33とで、各サンプル毎に傾き値(A+B)を累積加算していく。なお、この累積加算出力を、以下、アダー出力Yと呼ぶ。

【0050】また、この第2のアダー回路32は、その出力がNビットの範囲で表現されるようになっている。つまり、“N²”までしか出力できず、それ以上の値はオーバーフローとなる。第2のアダー回路32は、もし、加算結果が“N²”を越えてオーバーフローした場合には、“N²”を越えたあまり値を0から折り返して出力する。すなわち、加算結果((A+B)+Y)がN²を以上となった場合には、{(A+B)+Y}-N²が出力されることとなる。また、さらに、この第2のアダー回路32は、オーバーフローする場合には、オ

ーバーフローフラグが出力される。

【0051】第1のDTO16は、図3に示すように、このオーバーフローフラグを第1のタイミング信号T1として出力する。

【0052】ここで、第1のタイミング信号T1の平均周期を、第1の仮想クロックCv1の周期に一致するようにするためには、DSP12により傾き値(A+B)を以下のように設定すればよい。

【0053】 $A+B=2^N \times (fv1/fs)$

ここで、“fs”はシステムクロックCsの周波数であり、“fv1”は第1の仮想クロックCv1の周波数である。

【0054】例えば、システムクロックCsの周波数が40MHzであり、第2のアダー回路32が8ビット出力(N=8)である場合には、傾き値(A+B)は以下のように設定される。

NTSC : $A+B = 255 \times (14.3 \text{ MHz}/40\text{MHz}) = 91.16$

PAL : $A+B = 255 \times (17.8 \text{ MHz}/40\text{MHz}) = 113.48$

SECAM : $A+B = 255 \times (17.14\text{MHz}/40\text{MHz}) = 109.27$

なお、傾き値(A+B)の値は、本来、整数値として与えられなければデジタル処理を行うことができない。そのため、DSP12からの実際の設定値は、少数点以下を切り上げるか切り下げて、整数値で設定しなければならない。しかしながら、小数点以下を丸めた場合、その丸め分が蓄積していつて周波数誤差となってしまう。

【0055】そのため、DSP12は、小数点以上の値をオフセット値AとしてDSP12から各サンプルタイミング毎固定で出力し、小数点以下の値を微調整値Bとして所定数のサンプルタイミング毎に適宜DSP12から出力して、周波数誤差が蓄積しないように調整する。

【0056】以上第1のDTO16の回路構成例について説明したが、第2のDTO20も、この第1のDTO16の回路構成と同一である。

【0057】ただし、第2のDTO20の場合、各回路が動作するクロックは、システムクロックCsではなく、第1のタイミング信号T1となる。また、第2のタイミングT2が、第2の仮想クロックCv2の周期に一致するようにするためには、DSP12により傾き値(A+B)が以下のように設定される。

【0058】 $A+B=2^N \times (fv2/fv1)$

ここで、“fv1”は第1の仮想クロックCv1の周波数であり、“fv2”は第2の仮想クロックCv2の周波数である。

【0059】従って、第2の仮想クロックCv2が13.5MHzであり、第2のアダー回路32が8ビット出力(N=8)である場合には、傾き値(A+B)は以下のように設定される。

NTSC : $A+B = 255 \times (13.5 \text{ MHz}/14.3 \text{ MHz}) = 204.73$

PAL : $A+B = 255 \times (13.5 \text{ MHz}/17.8 \text{ MHz}) = 193.40$

SECAM : $A+B = 255 \times (13.5 \text{ MHz}/17.14\text{MHz}) = 200.85$

(SRC) つぎに、上述した第1のSRC17について詳細に説明をする。

【0060】第1のSRC17は、例えば、図4に示すような、FIRフィルタを用いた補間フィルタにより構成することができる。ここでは、9タップのFIRフィルタを用いた例を示す。

【0061】第1のSRC17は、図4に示すように、第1から第8の遅延回路41~48と、第1~第9の乗算器51~59と、加算器60とにより、9タップのFIRフィルタを構成している。

【0062】また、この第1のSRC17は、各乗算器51~59にタップ係数を与える係数ROM61と、加算器60からのフィルタリング出力を第1のタイミング信号T1で取り込むレジスタ62とを有している。

【0063】この第1のSRC17では、各遅延素子をシステムクロックCsで動作させ、第1のタイミング信号で得られる補間結果のみレジスタ62に取り込み、補間結果として出力している。

【0064】ここで、第1のSRC17では、システムクロックCsでサンプリングされたコンポジット映像信号の各サンプリングポイントの信号レベルから、第1の仮想クロックCv1でコンポジット映像信号をサンプリングしたときの各信号レベルを補間するのであるが、システムクロックCsと第1の仮想クロックCv1とは周波数が異なっているため、システムクロックCsと第1の仮想クロックCv1との位相ずれを考慮して、補間を行わなければならない。さらに、その位相ずれは各サンプル毎変動していくので、FIRフィルタのタップ係数を各サンプル毎変化させていかななければならない。

【0065】図5に、第1のSRC17に関係する各信号のタイミングチャートを示す。

【0066】図5(A)に示した信号は、入力されるコンポジット映像信号である。このコンポジット映像信号上に示した白丸及び黒丸は、システムクロックCsでのサンプリングポイントを示している。また、各点のうち黒丸で示している部分は、第1のタイミング信号T1に同期した位置のサンプル点である。図5(B)は、システムクロックCsを示している。図5(C)は、第1のタイミング信号T1を示している。また、図5(D)は、第1のDTC16のアダー出力Yを示している。図5(E)は、第1の仮想クロックCv1を示している。

【0067】ここで、システムクロックCsの所定のサンプリングポイントをD(0)とする。このD(0)は、第1のタイミング信号T1に同期したサンプリングポイントである。この所定のサンプリングポイントの信号D(0)から所定の位相差θをもった、第1の仮想クロックCv1の所定のサンプリングポイントの信号Dreal(0)を、FIRフィルタにより補間して求めるとする。

【0068】まず、位相差θは、図5に示すように、D

(0) 出力時、つまり、第1のタイミング信号T1がアサートされたときにおける、アダー出力Yで表される。これは、アダー出力Yが、0からオーバーフローするまでの値が第1の仮想クロックCv1の周期に対応するように、DSP12により傾き値(A+B)が予め設定されているからである。

【0069】そして、この位相差θは、図6に示すように、FIRフィルタのインパルス応答の遅延量Tに対応する。

10 【0070】すなわち、第1の仮想クロックCv1の所定のサンプリングポイントの信号であるDreal

(0) は、FIRフィルタのインパルス応答に所定の窓関数をかけて得られる基本のタップ係数から、所定の時間Tの遅延量補正をかけたタップ係数(K'(-4), K'(-3), K'(-2), K'(-1), K'(0), K'(1), K'(2), K'(3), K'(4))により以下のように求めることができる。

【0071】
$$Dreal(0) = K'(-4) \cdot D(-4) + K'(-3) \cdot D(-3) + K'(-2) \cdot D(-2) + K'(-1) \cdot D(-1) + K'(0) \cdot D(0) + K'(1) \cdot D(1) + K'(2) \cdot D(2) + K'(3) \cdot D(3) + K'(4) \cdot D(4)$$

20 従って、位相遅延量θと、その遅延量θに対応したタップ係数群を予め係数ROM61に格納しておき、アダー出力Yをアドレスとしてそのタップ係数を読み出し、読み出したタップ係数を各乗算器51~59に与えれば、適宜位相ずれを補正した補間処理を行うことができる。

【0072】以上第1のSRC17の回路構成例について説明したが、第2のSRC21も、この第1のSRC17の回路構成と同一である。

30 【0073】ただし、第2のSRC21の場合、各回路が動作するクロックは、システムクロックCsではなく、第1のタイミング信号T1となる。そのため、係数ROM61に格納される値も異なることとなる。また、レジスタ62に取り込まれるタイミングは、第2のタイミング信号T2となる。

40 【0074】以上のように本発明の実施の形態のクロマデコード1では、任意の1つのシステムクロックCsに同期させたタイミング信号T1、T2を生成し、任意の周波数のシステムクロックCsでサンプリングされた映像信号を仮想クロックCv1、Cv2にサンプリングレート変換し、その結果をタイミング信号T1、t2に同期させて出力する。このようにすることによって、Y/C分離処理、クロマデコード処理、出力信号タイミングへの周波数変換処理を、1つのシステムクロックのみで行えるようになる。

【0075】そのため、本発明の実施の形態のクロマデコード1では、複数のテレビジョン方式を取り扱う際に必要となる複数のシステムクロックに対する制約を取り除き、1つの基板に実装したり、1つのチップ上に集積化することが可能となる。

50 【0076】なお、以上説明をしたクロマデコード1では、入力されるコンポジット映像信号がアナログ信号で

あったが、デジタルのコンボジット映像信号も並行に入力されるようにして、セレクトにより入力信号を切り換えるようにしてもよい。デジタルのコンボジット映像信号も入力される場合には、通常、NTSC方式であれば14.3MHz、PAL方式であれば17.8MHzといったサンプリング周波数となるが、このようなサンプリング周波数の信号を一旦メモリに格納したのち、システムクロックで読み出すようにすればよい。システムクロックは、デジタルコンボジット映像信号のサンプリング周波数よりも十分高い周波数としておく。メモリに格納されたデータをシステムクロックで読み出す場合には、入力サンプリングデータが更新されるまで、同一のデータを出力し続けられればよい。そして、第1のSRC 17では、元々14.3MHzや17.8MHzといった周波数でサンプルされたデータが入力されるので、特に補間処理を行う必要がなく、タップ係数の設定は、FIRフィルタのタップ数を1とし、さらに、そのタップ係数も1とするように設定すればよい。

【0077】また、輝度信号と搬送色差信号とが予め分離された信号の入力にも対応するようにしてもよい。この場合、第1のSRC 17による周波数変換処理を行った後、Y/C分離回路 18によるY/C分離処理をパスするような系を形成し、セレクトにより切り換えられればよい。

【0078】

【発明の効果】本発明にかかる映像信号処理装置では、任意の1つのシステムクロックに同期させたタイミング信号を生成し、上記タイミング信号と本来の放送信号又は出力信号のシステムクロックとの間で生じる誤差を補間手段で補間し、信号自体は本来の放送信号又は出力信号のシステムクロックでサンプリングした値としている。このようにすることによって、Y/C分離処理、ク

ロマデコード処理、出力信号タイミングへの周波数変換処理を、1つのシステムクロックのみで行えるようになる。

【0079】そのため、本発明にかかる映像信号処理装置では、複数のテレビジョン方式を取り扱う際に必要となる複数のシステムクロックに対する制約を取り除き、1つの基板に実装したり、1つのチップ上に集積化することが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したクロマデコードのブロック構成を示す図である。

【図2】上記クロマデコード内のDSOの回路構成を示す図である。

【図3】上記DSOの出力信号のタイミングチャートである。

【図4】上記クロマデコード内のSRCの回路構成を示す図である。

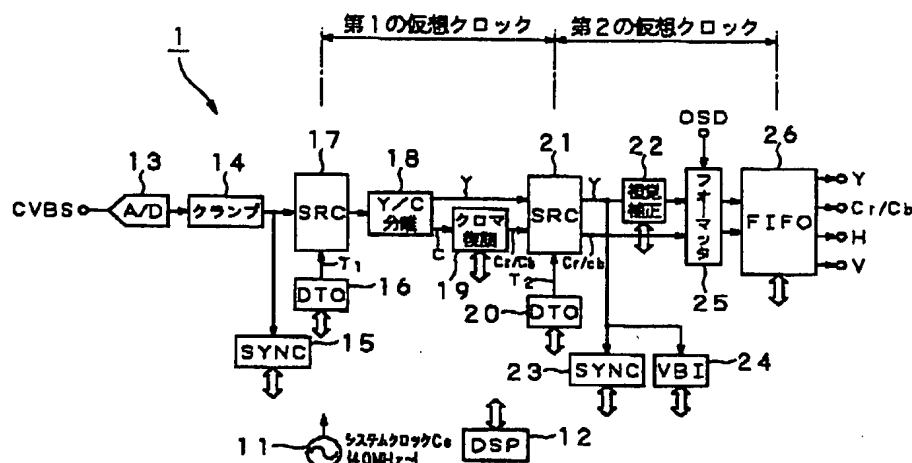
【図5】上記SRCに関する信号のタイミングチャートである。

【図6】FIRフィルタのインパルス応答を示す波形図である。

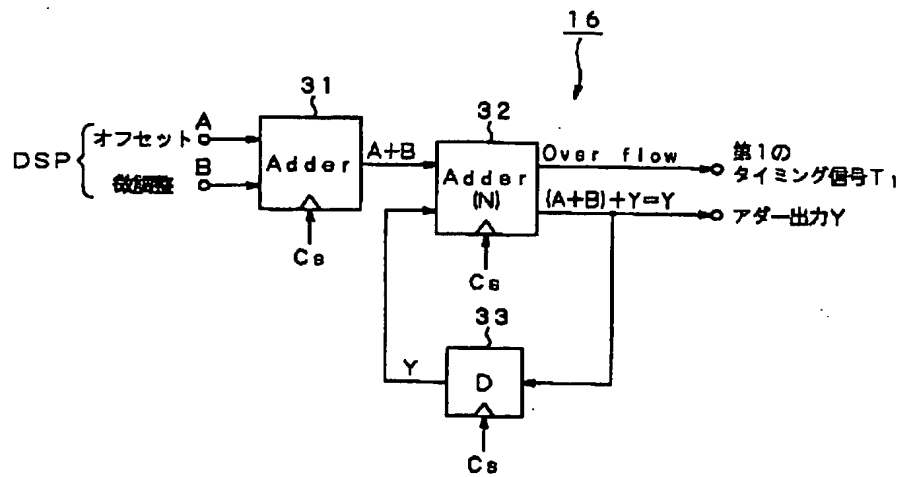
【符号の説明】

1 クロマデコード、11 システムクロック発振器、12 デジタルシグナルプロセッサ、13 アナログ/デジタルコンバータ、14、15、23 同期検出回路、16 第1のタイミング発振器、17 第1のサンプリングレートコンバータ、18 輝度/クロマ分離回路、19 クロマ復調回路、20 第2のタイミング発振器、21 第2のサンプリングレートコンバータ、22 視覚補正回路、24 VBI検出回路、25 フォーマッタ、26 ファーストイン/ファーストアウトメモリ

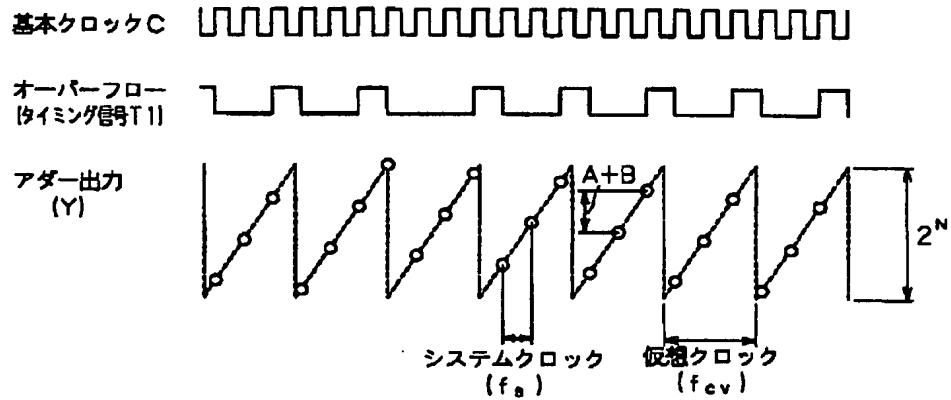
【図1】



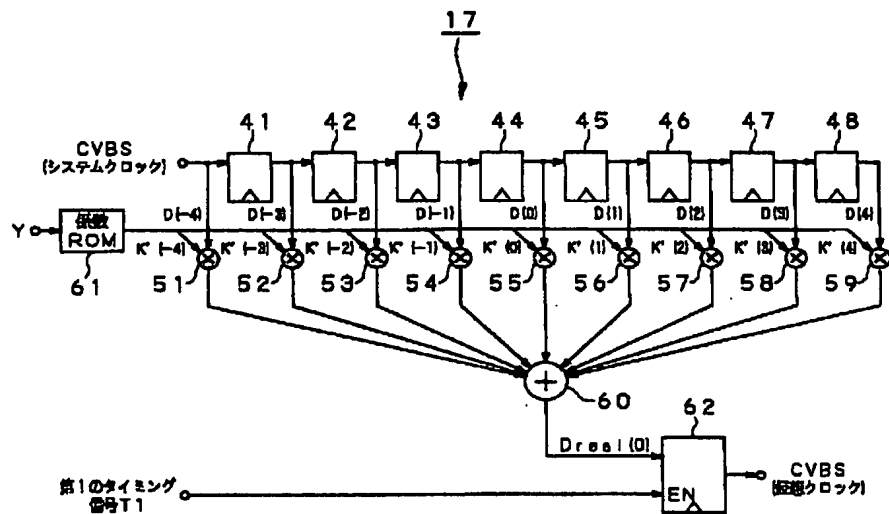
【図 2】



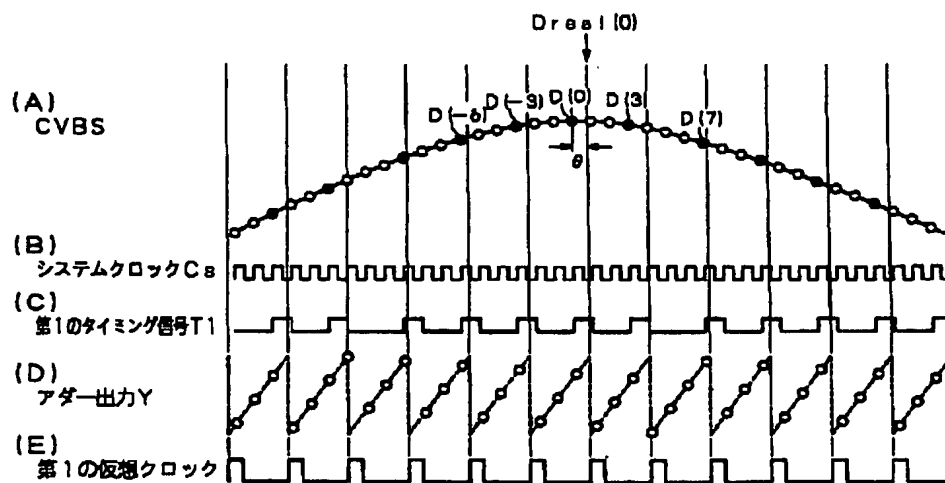
【図 3】



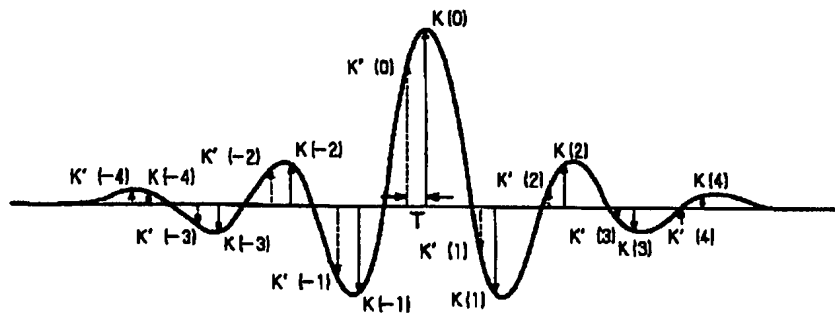
【図 4】



【図5】



【図6】



$$T = \frac{1}{2\pi f_{\theta}} \cdot \theta$$